

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Patent Number: JP5054153
Publication date: 1993-03-05
Inventor(s): WAKIMOTO AKIHIKO
Applicant(s): MITSUBISHI ELECTRIC CORP
Requested Patent: ☐ JP5054153
Application Number: JP19910218195 19910829
Priority Number(s):
IPC Classification: G06F15/78 ; G06F13/16 ; H01L27/108
EC Classification:
Equivalents:

Abstract

PURPOSE: To effectively utilize a terminal for connection limiting the number of terminals by forming the terminal for connection to connect an external circuit with a built-in switching circuit to selectively connect the terminal to plural inside circuits.

CONSTITUTION: An address space switching circuit 6 is built in a semiconductor integrated circuit device 1 and according to the program of a microcomputer, etc., switching control can be executed for respective address space switching unit circuits N, N-1...I+1. When '1' is set to the address space switching unit circuit N, an address line An is selected and when '0' is set to an exclusive terminal to output an address signal for the terminal far connection as well, an input/output line (I/O)N is selected and switched to the exclusive terminal for a normal function to input/output any signal excepting for the address signal. Similarly concerning the address space switching unit circuits N, N-1...I+1, terminals tAn-1...tAi+1 for connection are switched to the exclusive terminal to output the address signal or the exclusive terminal of the normal function.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-54153

(43) 公開日 平成5年(1993)3月5日

| | | | | |
|---------------------------|---------|---------|---------------|---------|
| (51) Int.Cl. ⁵ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
| G 0 6 F 15/78 | 5 1 0 C | 7530-5L | | |
| 13/16 | 5 1 0 | 8841-5B | | |
| H 0 1 L 27/108 | | 8728-4M | H 0 1 L 27/10 | 3 2 5 V |

審査請求 未請求 請求項の数1(全 6 頁)

(21) 出願番号 特願平3-218195

(22) 出願日 平成3年(1991)8月29日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 脇本 昭彦

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

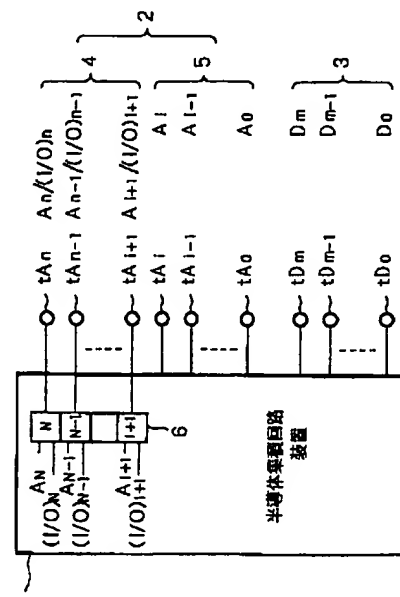
(74) 代理人 弁理士 高田 守 (外1名)

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【目的】 端子数が限られている接続用端子を有効に活用できるようにする。

【構成】 アドレス線 $A_N, A_{N-1} \dots A_{I+1}$ 、又は入出力線 $(I/O)_N, (I/O)_{N-1} \dots (I/O)_{I+1}$ を選択するアドレス空間切替単位回路 $N, N-1 \dots I+1$ を設け、このアドレス空間切替単位回路 $N, N-1 \dots I+1$ を切替制御することにより、接続用端子 $tA_N, tA_{N-1} \dots tA_{I+1}$ をアドレス出力の専用端子又は信号入出力の専用端子にし得るようにする。



1

【特許請求の範囲】

【請求項1】 外部回路を接続する接続用端子を備えている半導体集積回路装置において、前記接続用端子を、内部の複数の回路に選択的に接続する切替回路を内蔵していることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えばメモリ素子を接続する半導体集積回路装置に関するものである。

【0002】

【従来の技術】 図1は従来のこの種の半導体集積回路装置の構成を示す模式図である。マイクロコンピュータ等からなる半導体集積回路装置1にはメモリ素子等の外部素子を接続すべく、アドレス信号 $A_0, A_1, \dots, A_{n-1}, A_n$ が出力される接続用端子 $tA_0, tA_1, \dots, tA_{n-1}, tA_n$ 及びデータ $D_0, D_1, \dots, D_{m-1}, D_m$ が与えられる接続用端子 $tD_0, tD_1, \dots, tD_{m-1}, tD_m$ が設けられている。接続用端子 tA_0, tA_1, \dots, tA_n は、アドレスバス2に相当し、接続用端子 tD_0, tD_1, \dots, tD_m はデータバス3に相当する。

【0003】 次にこの半導体集積回路装置1の動作を説明する。メモリ等の外部素子を接続する場合は半導体集積回路装置1の接続用端子 tA_0, tA_1, \dots, tA_n を介して接続する。そして、半導体集積回路装置1から外部素子にアドレス信号 A_0, A_1, \dots, A_n を出力し、また半導体集積回路装置1と外部素子との間でデータ D_0, D_1, \dots, D_m を入出力する。このようにして、アドレスバス2及びデータバス3に相当する接続用端子 tA_0, tA_1, \dots, tA_n 及び tD_0, tD_1, \dots, tD_m は外部素子を接続するための専用端子となっている。

【0004】 そして図1に示す半導体集積回路装置では、アドレスバス2に相当する $n+1$ 個の接続用端子 tA_0, tA_1, \dots, tA_n と、データバスに相当する $m+1$ 個の接続用端子 tD_0, tD_1, \dots, tD_m が外部素子を接続するために使用される。また使用する接続用端子の数は、半導体集積回路装置1を、それに外部素子を接続するモードにした場合、常に所定数になる。

【0005】

【発明が解決しようとする課題】 ところで、従来の半導体集積回路装置は、外部素子を接続するモードにした場合には、半導体集積回路装置で予め定めている所定数の接続用端子が、外部素子を接続するためのアドレスバス、データバスに相当する専用端子となる。そのため半導体集積回路装置が本来備えている接続用端子は、半導体集積回路装置に接続する外部素子のアドレス空間、つまりアドレス数が少ない場合であっても予め定めている所定数の接続用端子が使用されて、残りの接続用端子を通常機能の専用端子に使用することになる。

【0006】 それにより半導体集積回路装置が備えている接続用端子を外部素子を接続する専用端子以外の通常機能の専用端子として有効に活用できない場合が起こり

2

得て半導体集積回路の機能が制限される不都合が生じるという問題がある。本発明は斯かる問題に鑑み、外部素子に於いた必要な数の接続用端子を外部素子接続のための専用端子として使用でき、それ以外の接続用端子を他の機能をする接続用端子に使用できる半導体集積回路装置を提供することを目的とする。

【0007】

【課題を解決するための手段】 本発明に係る半導体集積回路装置は、外部回路を接続する接続用端子を、内部の複数の回路に選択的に接続する切替回路を内蔵した構成にする。

【0008】

【作用】 切替回路により、内部の複数の回路が選択される。選択した回路と接続用端子とが接続される。これにより、接続用端子の機能を変更でき、端子数が限られている接続用端子を有効に活用できる。

【0009】

【実施例】 以下本発明をその実施例を示す図面により詳述する。図2は本発明に係る半導体集積回路装置の構成を示す模式図である。マイクロコンピュータ等からなる半導体集積回路装置1はメモリ素子等の外部素子を接続すべく、アドレス信号 $A_0, A_1, \dots, A_{n-1}, A_n$ を出力する接続用端子 $tA_0, tA_1, \dots, tA_{n-1}, tA_n$ 及び $tA_{n+1}, tA_{n+2}, \dots, tA_{n+I}$ を備えている。またデータ $D_0, D_1, \dots, D_{m-1}, D_m$ を入出力する接続用端子 tD_0, tD_1, \dots, tD_m を備えている。

【0010】 接続用端子 $tA_0, tA_1, \dots, tA_{n+I}$ は上位アドレスバスに相当し、接続用端子 tA_0, tA_1, \dots, tA_n は下位アドレスバスに相当する。そして接続用端子 tA_0, tA_1, \dots, tA_n はアドレスバス2に相当する。また接続用端子 tD_0, tD_1, \dots, tD_m はデータバス3に相当する。

【0011】 半導体集積回路装置1には、アドレス空間切替回路6が内蔵されており、アドレス空間切替回路6は複数のアドレス空間切替単位回路 $N, N-1, \dots, I+1$ からなっている。アドレス空間切替単位回路 $N, N-1, \dots, I+1$ の出力側は接続用端子 $tA_0, tA_1, \dots, tA_{n+I}$ と接続されている。

【0012】 アドレス空間切替単位回路 N には、アドレス線 A_n 及び入出力線 $(I/O)_n$ が、アドレス空間切替単位回路 $N-1$ には、アドレス線 A_{n-1} 及び入出力線 $(I/O)_{n-1}$ が、アドレス空間切替単位回路 $I+1$ にはアドレス線 A_{I+1} 及び入出力線 $(I/O)_{I+1}$ が接続されている。

【0013】 アドレス空間切替回路6は例えばマイクロコンピュータ等のプログラムによりアドレス空間切替単位回路 $N, N-1, \dots, I+1$ ごとに切替制御できるようになっている。例えばアドレス空間切替単位回路 N に「1」を設定すると、アドレス線 A_n を選択して接続用端子 tA_n をアドレス信号を出力する専用端子に、「0」を設定すると、入出力線 $(I/O)_n$ を選択して、アドレス信号以外の信号を入出力する通常機能の専用端子に切替

わるようになっている。

【0014】またアドレス空間切替単位回路 $N, N-1 \dots I+1$ についても同様に接続用端子 $tA_{N-1} \dots tA_{I+1}$ を、アドレス信号を出力する専用端子又は通常機能の専用端子に切替わるようになっている。

【0015】次にこのように構成した半導体集積回路装置の動作を説明する。半導体集積回路装置1をメモリ等の外部素子を接続しないモードにした場合は、例えばアドレス空間切替単位回路 N は、それに「0」が設定されて入出力線(I/O) N を選択し、入出力線(I/O) N と接続用端子 tA_N とが接続されて、信号(I/O) N を入出力する通常機能の専用端子となる。

【0016】一方、半導体集積回路装置1をメモリ等の外部素子を接続するモードにした場合は、例えばアドレス空間切替単位回路 N は、それに「1」が設定されて、アドレス線 A_N を選択し、接続用端子 tA_N とアドレス線 A_N とが接続されて、アドレス信号 A_N を出力する専用端子となる。なお他の接続用端子 tA_{N-1}, tA_{I+1} についても同様である。

【0017】いま、半導体集積回路装置1をメモリ等の外部素子を接続するモードにしてプログラムを実行する場合は、先ずアドレス空間切替回路6の各アドレス空間切替単位回路 $N, N-1 \dots I+1$ に「1」が設定される。それによって全ての接続用端子 $tA_N, tA_{N-1} \dots tA_{I+1}, tA_I, tA_{I-1} \dots tA_0$ に、アドレス信号 $A_N, A_{N-1} \dots A_{I+1}, A_I, A_{I-1} \dots A_0$ が出力される。

【0018】そして半導体集積回路装置1の接続用端子 $tA_N, tA_{N-1} \dots tA_{I+1}, tA_I, tA_{I-1} \dots tA_0$ を介して接続された外部素子(図示せず)の動作は、接続用端子 $tA_N, tA_{N-1} \dots tA_{I+1}, tA_I, tA_{I-1} \dots tA_0$ に出力されたアドレス信号から必要なアドレス信号を用いてプログラムにより実行されていく。このプログラムの実行の初期化において外部素子に不要なアドレスがある場合は、そのアドレスに対応するアドレス空間切替単位回路をプログラムで通常機能をする専用端子に切替える。

【0019】その後、本来のプログラムの実行を開始する。このようにすれば、外部素子に不要なアドレスに対応する接続用端子を、通常機能の専用端子として使用できることになる。したがって外部素子のアドレス数に応じて外部素子を接続する専用端子になすべき接続用端子数を適宜に変更でき、接続用端子の無駄がなくなり、半導体集積回路装置が備えている接続用端子を有効に活用できることになる。

【0020】本実施例では、アドレス空間切替単位回路 $N, N-1 \dots I+1$ に「1」を設定するとアドレス線 $A_N, A_{N-1} \dots A_{I+1}$ を選択し、「0」を設定すると入出力線(I/O) $N, (I/O)_{N-1} \dots (I/O)_{I+1}$ を選択したが、

それは単なる例示であり、実施例に限定されるものではない。

【0021】また、アドレス空間切替単位回路 $N, N-1 \dots I+1$ は、アドレスの適宜の数内で適宜に設けられよくその数に何ら限定されるものではない。更に、本実施例ではアドレス空間切替単位回路 $N, N-1 \dots I+1$ ごとに、プログラムでアドレス線 $A_N, A_{N-1} \dots A_{I+1}$ を選択するようにしたが、最上位のアドレスから順にアドレスを使用しない場合には、所定アドレスより上位のアドレスを不要とする使い方ができるから、所定アドレスに対応するアドレス空間切替回路を、入出力線を選択するように切替えたときに、その所定アドレスより上位のすべてのアドレスのアドレス線を選択するアドレス空間切替単位回路を同時に一括して入出力線を選択するようにしてもよい。

【0022】更にまた、本実施例ではアドレスバスの数を変更する場合について説明したが、半導体集積回路装置のデータバス構成と外部素子のデータバス構成とが適合すればデータバスの数についても前記同様の切替回路を設けて、接続用端子を有効に活用できるようになり得るのは勿論である。

【0023】

【発明の効果】以上詳述したように本発明は外部回路を接続する接続用端子を、半導体集積回路装置内部の複数の回路に選択的に接続する切替回路を内蔵させたから接続用端子の機能を変更できる。したがって、接続する外部回路に応じて接続用端子の機能を変更すれば、限られた数の接続用端子を有効に活用し得て、外部回路を接続しても半導体集積回路の機能が制限されることがない半導体集積回路装置を提供できる優れた効果を奏する。

【図面の簡単な説明】

【図1】従来の半導体集積回路装置の構成を示す模式図である。

【図2】本発明に係る半導体集積回路の構成を示す模式図である。

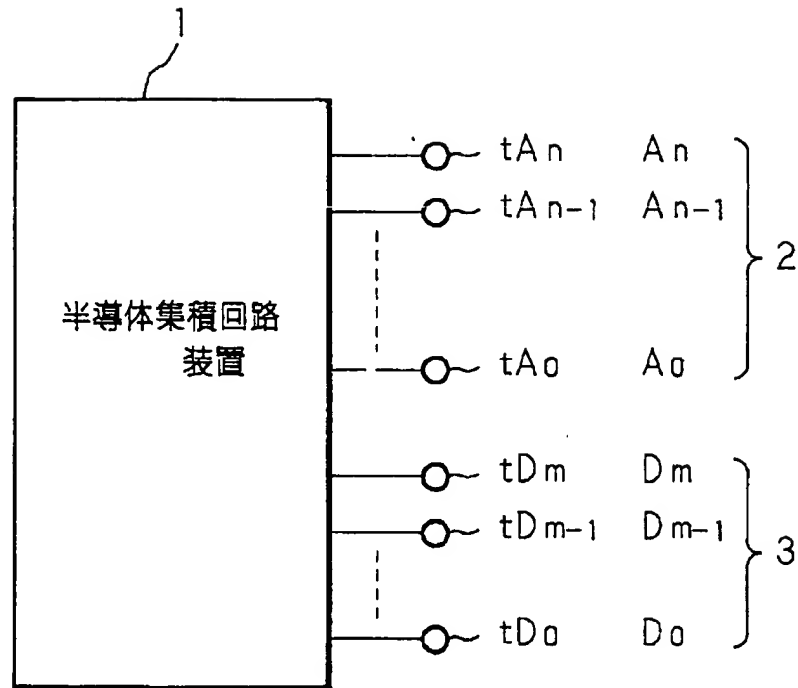
【符号の説明】

- 1 半導体集積回路装置
- 2 アドレス
- 3 データ
- 4 上位アドレス
- 5 下位アドレス
- 6 アドレス空間切替回路
- $tA_N, tA_{N-1} \dots tA_{I+1}$ 接続用端子
- $tA_I, tA_{I-1} \dots tA_0$ 接続用端子
- $tD_N, tD_{N-1} \dots tD_0$ 接続用端子
- $N, N-1 \dots I+1$ アドレス空間切替単位回路

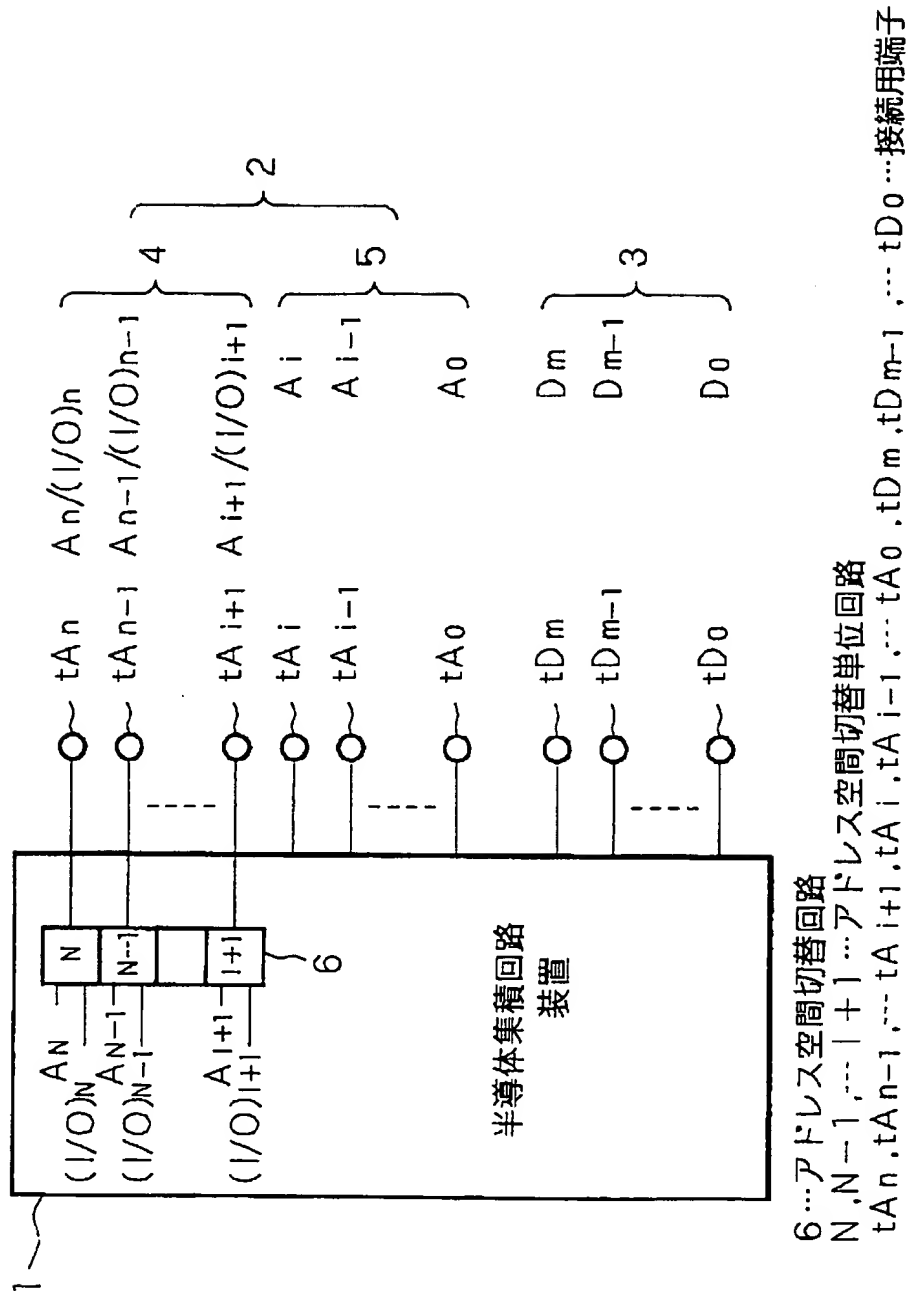
(4)

特開平5-54153

【図1】



【図2】



6...アドレス空間切替回路

 $N, N-1, \dots, I+1 \dots$ アドレス空間切替単位回路 $tA_n, tA_{n-1}, \dots, tA_{i+1}, tA_i, tA_{i-1}, \dots, tA_0, tD_m, tD_{m-1}, \dots, tD_0 \dots$ 接続用端子

【手続補正書】

【提出日】平成4年6月5日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正内容】

【0006】それにより半導体集積回路装置が備えている接続用端子を外部素子を接続する専用端子以外の通常機能の専用端子として有効に活用できない場合が生じ得て半導体集積回路の機能が制限される不都合が生じるという問題がある。本発明は斯かる問題に鑑み、外部素子に応じた必要な数の接続用端子を外部素子接続のため

の専用端子として使用でき、それ以外の接続用端子を他の機能をする端子に使用できる半導体集積回路装置を提供することを目的とする。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】次にこのように構成した半導体集積回路装置の動作を説明する。半導体集積回路装置1をメモリ等の外部素子を接続しないモードにした場合は、例えばアドレス空間切替単位回路Nは、それに「0」が設定されて入出力線(I/O)_xを選択し、入出力線(I/O)_yと接続用端子IA_xとが接続されて、信号(I/O)_xを入出力する通常機能の専用端子となる。他の端子も同様に通常のI/O端子となる。